

IN THE U.S. PATENT AND TRADEMARK OFFICE

102
1/23/02
JG

10/05/2001
U.S. PRO
01/23/02

Applicant(s) : LEE, Jong Han

Application No. : Group:

Filed: January 23, 2002 Examiner:

For: FIXED DELAY TREE SEARCH/DECISION FEEDBACK EQUALIZER USING
ABSOLUTE VALUE CALCULATION AND DATA RESTORING METHOD USING
THE SAME

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

RECEIVED

January 23, 2002
0630-1414P

MAR 19 2002

Sir:

Technology Center 2600

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the
applicant hereby claims the right of priority based on the following
application(s) :

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	10068/2001	02/27/01

A certified copy of the above-noted application(s) is(are)
attached hereto.

If necessary, the Commissioner is hereby authorized in this,
concurrent, and future replies, to charge payment or credit any
overpayment to deposit Account No. 02-2448 for any additional fees
required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly,
extension of time fees.

Respectfully submitted,

BIRCH STEWART, KOLASCH & BIRCH, LLP

By:

JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/sll

LEE, Jong Han
January 23, 2002
BSK B, LLP
(703) 205-8000

0630-14148
1 of 1

10/05/2011
10/05/2011
01/23/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

CERTIFIED COPY OF
PRIORITY DOCUMENT

출원번호 : 특허출원 2001년 제 10068 호
Application Number PATENT-2001-0010068

출원년월일 : 2001년 02월 27일
Date of Application FEB 27, 2001

RECEIVED

MAR 19 2002

출원인 : 엘지전자주식회사
Applicant(s) LG ELECTRONICS INC.

Technology Center 2600

2001년 12월 04일



특허청
COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0005		
【제출일자】	2001.02.27		
【국제특허분류】	G11B 5/00		
【발명의 명칭】	절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법		
【발명의 영문명칭】	METHOD FOR CARRYING OUT FDTS/DF EQUALIZER USING ABSOULUTE VALUE OPERATION		
【출원인】			
【명칭】	엘지전자 주식회사		
【출원인코드】	1-1998-000275-8		
【대리인】			
【성명】	박장원		
【대리인코드】	9-1998-000202-3		
【포괄위임등록번호】	2000-027763-7		
【발명자】			
【성명의 국문표기】	이종한		
【성명의 영문표기】	LEE, Jong Han		
【주민등록번호】	710306-1047725		
【우편번호】	121-220		
【주소】	서울특별시 마포구 합정동 448-18		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 박장원 (인)		
【수수료】			
【기본출원료】	12	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	0	항	0 원
【합계】	29,000 원		

1020010010068

출력 일자: 2001/12/5

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법에 관한 것으로, 종래 광기록/재생 시스템의 재생단에서 정확한 데이터를 복원하기 위해 사용되는 등화기는 MLSD(Maximum Likelihood Sequency Detection) 방식의 디코딩 알고리즘을 사용하는데, 대부분 MSE(Mean Square Error) 기준하에 구현되어 디코더에 입력된 신호값과 기준값의 오차의 자승으로 최소거리를 계산하고, 이를 축적한 경로 메트릭에 따라 디코딩하게 된다. 그런데, 상기 최소거리 계산을 위해 사용되는 곱셈기는 실제 ASIC(FPGA)으로 구현하였을 때, 계산량이 많아져서 동작속도를 느리게 하는 원인이 되고, 사용되는 게이트 수가 많아져서 칩의 크기도 커지게 되며 절대값 연산을 사용할 경우 오히려 성능이 저하되는 문제점이 있다. 따라서, 본 발명은 채널을 통과한 데이터를 재생하는 재생단에서의 FDTs(Feedback Decision Tree Search)/DF(Decision Feedback) 등화기의 ASIC(FPGA) 구현시, 덧셈기를 사용한 절대값 연산을 수행함으로써, 게이트의 수를 절감하여 연산속도를 향상시키고 칩의 크기도 줄일 수 있도록 하는 효과가 있다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법{METHOD FOR CARRYING OUT FDTS/DF EQUALIZER USING ABSOLUTE VALUE OPERATION}

【도면의 간단한 설명】

도 1은 본 발명에 의한 등화기를 적용한 디지털 광기록/재생 시스템의 구성을 보인 블록도.

도 2는 도1에 있어서, FDTS/DF 등화기의 상세 구성을 보인 블록도.

도 3은 곱셈기를 이용한 FDTS/DF 등화기와 덧셈기를 이용한 FDTS/DF 등화기의 모의실험 결과를 나타낸 그래프도.

도 4는 곱셈기를 이용한 FDTS/DF 등화기와 덧셈기를 이용한 FDTS/DF 등화기를 주문형 반도체로 구현했을 때의 결과를 비교한 예시도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 디지털 광기록/재생 시스템의 등화기 구현방법에 관한 것으로, 특히 채널을 통과한 데이터를 재생하는 재생단에서의 에프디티에스/디에프(FDTS/DF) 등화기의 ASIC(FPGA) 구현시, 절대값 연산에 의해 내부 계산량을 감소시켜 동작속도를 높이고 칩의 크기를 줄일 수 있도록 하는 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법에 관한 것이다.

<6> 일반적으로, 디지털 광기록/재생 시스템에서 데이터를 매체에 기록하고 재생하는 과정은 디지털 통신 시스템의 데이터 전달 과정과 유사하다.

<7> 또한, 최근의 광기록 시스템은 기존의 용량 한계를 벗어나서 더욱 고밀도화되어가는 추세인데, 이렇게 채널의 기록 밀도가 증가할수록 기록 데이터 사이에 상호심볼 간섭(ISI : Inter Symbol Interference)이 증가하게 되므로, 그 재생단 쪽에서 정확한 데이터를 복원하기 위해서는 등화기를 사용해야 하고 일반적으로는 MLSD(Maximum Likelihood Sequency Detection) 방식의 디코딩 알고리즘을 사용한다.

<8> 그런데, MLSD(Maximum Likelihood Sequency Detection) 방식의 대부분은 MSE(Mean Square Error) 기준하에 구현되어 디코더에 입력된 신호값과 기준값의 오차의 차승으로 최소거리를 계산하고, 이를 축적한 경로 메트릭에 따라 디코딩하게 된다.

<9> 그런데, 상기 최소거리 계산을 위해 사용되는 곱셈기는 실제 ASIC(FPGA)으로 구현하였을 때, 계산량이 많아져서 동작속도를 느리게 하는 원인이 되고, 사용되는 게이트 수가 많아져서 칩의 크기도 커지는 원인이 된다.

<10> 만약, 상기 MLSD(Maximum Likelihood Sequency Detection) 방식을 이용한 최소거리 연산시 속도를 향상시키기 위해 절대값 연산을 사용하게 되면 오히려 성능이 저하되는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 따라서, 본 발명은 상기와 같은 종래의 문제점을 해결하기 위하여 창출한 것으로, 디지털 광기록/재생 시스템의 재생단에서의 FDTS(Feedback Decision Tree Search)/DF(Decision Feedback) 방식을 이용하여 최소거리를 구할 때 곱셈기 대신 덧셈기를 사용한 절대값 연산을 수행함으로써, 게이트의 수를 절감하여 연산속도를 향상시키고 칩의 크기도 줄일 수 있도록 하는 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<12> 이와 같은 목적을 달성하기 위한 본 발명은, 정확한 데이터의 복원을 위해 재생단에 등화기를 구비한 디지털 광기록/재생 시스템 또는 디지털 통신 시스템에 있어서,

<13> 상기 등화기는 A/D 변환된 채널 신호를 전방 필터링(Feed-forward Filtering)한 신호에서, 상기 전방 필터링된 신호를 가지 탐색(Tree Search)과정 및 후방필터링(Feed-back Filtering) 과정을 거쳐 출력된 신호를 감산하고, 그 감산된 신호를 다시 가지 탐색(Tree Search)과정을 수행시켜 FDTS/DF 등화시키도록 이루어진 것을 특징으로 한다.

<14> 이하, 본 발명에 따른 일실시예를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

<15> 일단, 종래의 문제점을 개선하기 위한 FDTS/DF 방식의 등화기는 유한 깊이 (fixed-depth)를 갖는 재귀적 가지탐색(tree search) 알고리듬을 사용하는 것으

로, 등화기의 출력에 나타나는 ISI의 일부를 남겨놓은 후 가지탐색 알고리즘을 사용하여 제한된 깊이를 갖는 MLSR를 수행한다.

<16> 도1은 본 발명에 의한 등화기를 적용한 디지털 광기록/재생 시스템의 구성 을 보인 블록도이다.

<17> 이에 도시된 바와 같이, 광기록 패스(Path)는 음성 및 영상데이터(Audio, Video)를 A/D 변환하는 A/D 변환기(10)와, 상기 A/D 변환된 신호를 엠펙(MPEG) 형식으로 엔코딩하는 엠펙 A/V 엔코더(11)와, 상기 엠펙 형식으로 엔코딩된 신호에 에러 정정을 위한 부호화를 수행하는 ECC 엔코더(12)와, 베이스밴드 신호를 전송에 적합하게 변조하기 위한 변조코드 엔코더(13)와, 전송에러 방지를 위한 NRZI(Non Return To Zero Inverse) 엔코더(14)와, 광기록 매체의 특성에 따른 기록 파형을 생성하는 기록파형 생성부(15)와; 상기 기록파형에 의해 광 다이오드를 구동하는 LD 구동부(16)와, 데이터 기록시 동기를 맞추기 위한 기록용 PLL(Phase Locked Loop)로 이루어진다.

<18> 다음, 재생 패스(Path)는 광기록 매체에 저장된 데이터를 읽어 증폭하는 고주파 증폭부(RF Amp)(20)와, 상기 고주파 증폭된 신호의 이득을 제어하기 위한 AGC 회로부(21)와, 전치등화기(PreEQ)(22)와, 상기 전치등화기(22)의 출력을 미분하는 미분기(23)와, 재생시 동기 검출을 위한 재생용 PLL(24)과, 상기 이득 제어된 신호를 A/D 변환하는 A/D 변환기(25)와, FDTS/DF 등화기(26)와, 변조 엔코딩된 신호를 복호하는 변조코드 디코더(27)와, ECC 엔코딩된 신호를 복호하기 위한 ECC 디코더(28)와, 엠펙 형식으로 엔코딩된 신호를 복호하기 위한 엠펙 A/V

디코더(29)와, 엠펙 디코딩된 음성/영상 신호를 디에이 변환하여 출력하기 위한 디에이 변환기(30)로 이루어진다.

<19> 여기서, 상기 FDTS/DF 등화기(26)의 상세 구성은 도2에 도시된 바와 같이 A/D 변환기(10)에서 출력된 신호를 직접 입력받는 전방필터(Feed-forward Filter)(26a)와, 상기 필터링된 신호에서 덧셈기(26b) 및 가지 탐색기(Tree Search)(26c), 스위치(SW), 후방필터(Feed-back Filter)(26d)를 거쳐 출력된 신호를 상기 덧셈기(26d)를 통해 감산하여 다시 가지 탐색기(26c)로 입력되는 구조로 이루어져 있다.

<20> FDTS/DF 검출기의 기본적인 개념은 기록 신호값의 결정을 τ 만큼 지연시킨 다음, τ 만큼의 신호 전체를 고려하여 $x_{\{k-\tau\}}$ 를 추정하는 것이다.

<21> 다시 말해, FDTS/DF에서는 τ 만큼 유한 깊이를 갖고 각 단에서의 오차 자승을 분기 메트릭(branch metric)에 축적시켜 가장 작은 값을 갖는 경로를 선택한다.

<22> FDTS/DF에서 결정 지연값이 τ 인 경우, 등화기 출력값(Z_k)은 다음 수학식1과 같이 주어진다.

$$<23> \text{【수학식 1】 } Z_k = g_k - \sum_{i=\tau-1}^k w^b(i) \hat{x}_{k-i}$$

<24> 여기서, Z_k 는 전방 필터를 통과한 출력값,

<25> w^b 는 후방 궤환 필터의 계수를 나타낸다.

<26> 이 때 축적된 경로 메트릭(Path metric)(m_k)과 분기 메트릭(branch metric)(λ_k)은 다음 수학식 2 및 3과 같이 나타난다.

<27> **【수학식 2】** $m_k = \sum_{i=0}^{k-1} (Z_{k-i} - y_{k-i})^2$

<28> **【수학식 3】** $\lambda_k = (Z_k - y_k)^2$

<29> 여기서, y_k 는 목표열(target sequence)로서 다음과 같이 주어진다.

<30> $y_k = \sum_{i=0}^t w^b(i)x_{k-i}$

<31> 따라서, 상기 수학식 3은 다음 수학식 4와 같이 나타낼 수 있다.

<32> **【수학식 4】** $\lambda_k = \left(Z_k - \sum_{i=0}^t w^b(i)x_{k-i} \right)^2$

<33> $= \left(Z_k - \sum_{i=t+1}^k w^b(i) \hat{x}_{k-i} - \sum_{i=0}^t w^b(i)x_{k-i} \right)^2$

<34> 이와 같이, FDTS/DF에서는 MLSD 방식에서 계산량이 상호심볼 간섭(ISI)의 길이에 따라 지수 함수적으로 증가하는 것과 달리 선형적으로 증가한다.

<35> 따라서, 결정단에 유한 깊이의 MLSD를 적용한 FDTS/DF 통화방식은 적은 계산량으로 우수한 성능을 가져올 수 있는 것이다.

<36> 그러나, 15GB급의 고밀도 DVD 시스템은 지금보다 고속의 동작속도를 요구하므로 지금보다 더욱 계산량을 감소시킬 수 있는 새로운 방법이 필요하게 된다.

<37> 현재 사용되고 있는 방식의 대부분은 MSE 기준하에 구현되지만, 이러한 경우에는 FDTS 검출단에서 곱셈기가 필요하게 되어 하드웨어 구현시 동작속도를 떨어뜨리는 주요 원인이 된다.

<38> 따라서, 본 발명에서는 곱셈기를 제거하기 위해 절대값을 사용하여 FDTS 검출단을 구성한다.

<39> 이 때의 축적된 경로 메트릭(path metric)(m_k)과 분기 메트릭(branch metric)(λ_k)은 다음 수학식 5와 같다.

<40> **【수학식 5】** $m_k = \sum_{i=0}^{t-1} |Z_{k,i} - y_{k,i}|$

<41> $\lambda_k = |Z_k - y_k|$

<42> 도3은 모의실험 결과를 나타낸 그래프도로서 신호대 잡음비(SNR)가 커질수록 비트 에러율(BER)이 감소하여 성능이 더 좋아짐을 알 수 있고, FDTS/DF 등화기의 특성이 곱셈기(Multiply)를 이용해서 구성했을 때와 절대값(Abs)을 이용해서 구성했을 때 성능상에 큰 차이가 없음을 알 수 있다.

<43> 도4는 상기와 같은 특성을 가지는 FDTS/DF 등화기를 ASIC(FPGA)로 구현했을 때의 결과를 비교한 예시도이다.

<44> 이에 도시한 바와 같이 곱셈기를 사용한 FDTS보다 절대값 연산을 이용한 FDTS의 임계경로(Critical Path)시간이 짧아서 동작속도가 빠름을 알 수 있고, 칩의 크기를 나타내는 셀면적(Cell Area)도 많이 줄어드는 것을 알 수 있다.

【발명의 효과】

<45> 이상에서 설명한 바와 같이 본 발명 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법은 채널을 통과한 데이터를 재생하는 재생단에서의 FDTS(Feedback Decision Tree Search)/DF(Decision Feedback) 등화기의 ASIC(FPGA) 구현시, 덧셈기를 사용한 절대값 연산을 수행함으로써, 게이트의 수를 절감하여 연산속도를 향상시키고 칩의 크기도 줄일 수 있도록 하는 효과가 있다.

【특허청구범위】**【청구항 1】**

정확한 데이터의 복원을 위해 재생단에 등화기를 구비한 디지털 광기록/재생 시스템 또는 디지털 통신 시스템에 있어서,

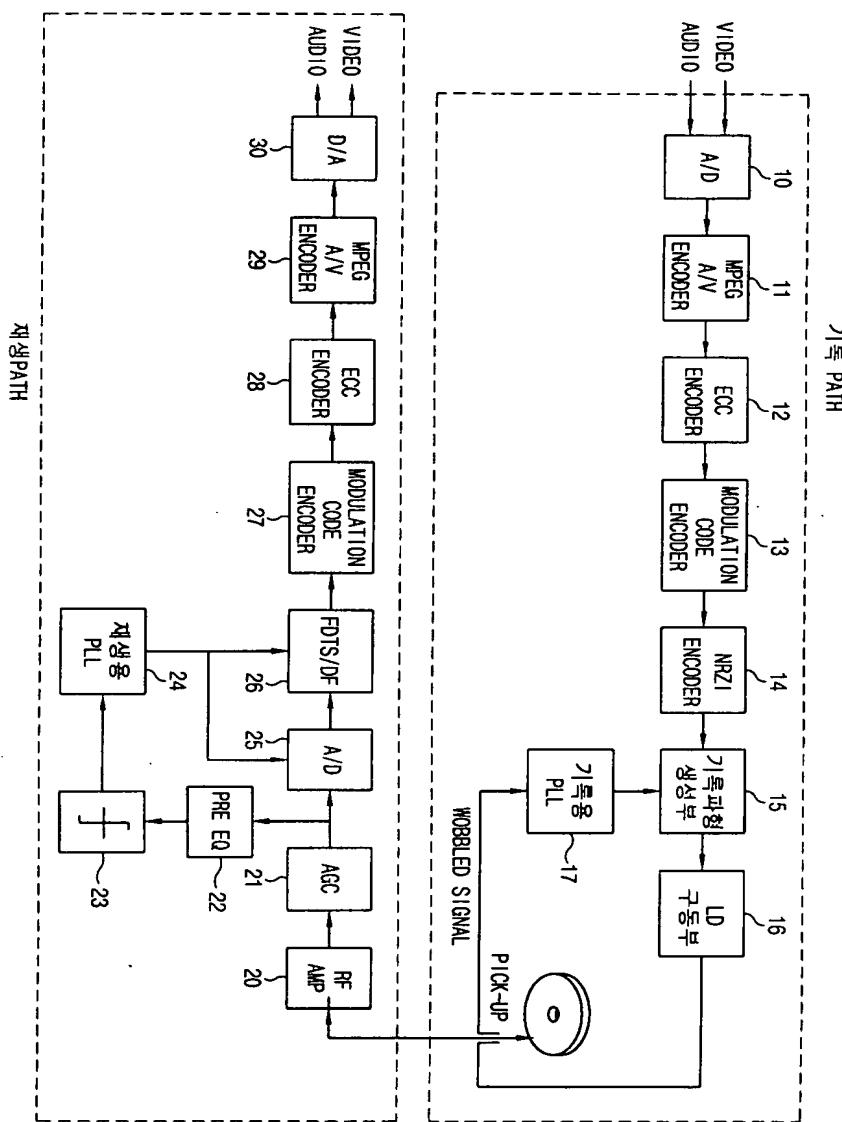
상기 등화기는 A/D 변환된 채널 신호를 전방 필터링(Feed-forward Filtering)한 신호에서, 상기 전방 필터링된 신호를 가지 탐색(Tree Search)과정 및 후방필터링(Feed-back Filtering) 과정을 거쳐 출력된 신호를 감산하고, 그 감산된 신호를 다시 가지 탐색(Tree Search)과정을 수행시켜 FDTS/DF 등화시키도록 이루어진 것을 특징으로 하는 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법.

【청구항 2】

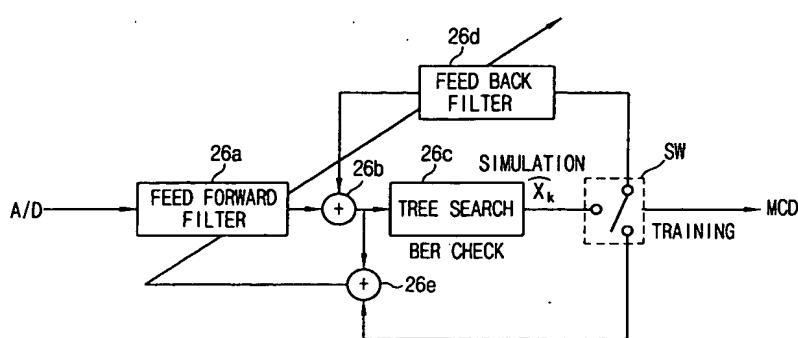
제1항에 있어서, 상기 가지 탐색 과정은 덧셈기를 이용한 절대값 연산에 의해 수행하도록 한 것을 특징으로 하는 절대값 연산을 이용한 에프디티에스/디에프 등화기 구현방법.

【도면】

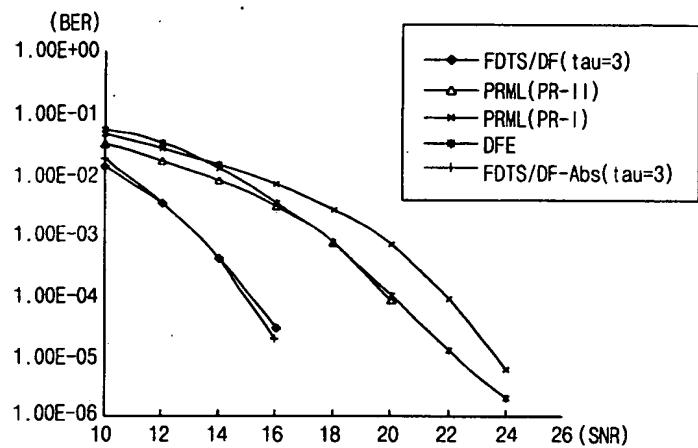
【도 1】



【도 2】



【도 3】



【도 4】

tau=2		CELL AREA	CRITICAL PATH
FDTS	절대값	480	60.30ns
	곱셈기	2195	81.19ns